

PAT-NO: JP02001085450A

DOCUMENT-IDENTIFIER: JP 2001085450 A

TITLE: SEMICONDUCTOR DEVCIE AND
MANUFACTURING METHOD THEREFOR

PUBN-DATE: March 30, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
ARAKI, KOJI	N/A
SAKURAI, MASAHIKO	N/A
MATSUZAKI, TAKASHI	N/A
TAKAYAMA, SHINICHI	N/A
WADA, ISAMU	N/A
KAMEBUCHI, TAKESHI	N/A
YAMAMOTO, MANABU	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP11256256

APPL-DATE: September 9, 1999

INT-CL (IPC): H01L021/52, H01L021/56 , H01L021/301 ,
H01L023/12 , H01L029/41
 , H01L029/417

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor device which has satisfactory electrical characteristics and which is small-size and has superior heat resisting property.

SOLUTION: A semiconductor element 12 with its front and rear faces formed

with electrodes is heated preliminarily to gain a specified level of ohmic contact property for the rear face electrode of the element 12. An insulating substrate is prepared which is formed on its front side with a plurality of regularly formed same circuit patterns, and on its rear side with a plurality of regularly formed external electrodes 15 connected to the circuit patterns on the front side via through-holes 14 or via holes. The rear face electrode of the semiconductor element 12 is bonded on an element-mounting section 13a of the circuit patterns formed on the front face of the insulating substrate with a conductive adhesive which is hardened at a low temperature. An inner electrode 13b of the circuit patterns of the insulating substrate is connected to the front face electrode of the semiconductor element with a metal fine wire 16. Then, the entire surface of the insulating substrate formed with the circuit patterns is sealed with resin, and the structure is divided into individual semiconductor devices.

COPYRIGHT: (C)2001,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-85450

(P2001-85450A)

(43)公開日 平成13年3月30日(2001.3.30)

(51)Int.Cl.	識別記号	F I	テマコード(参考)
H 0 1 L	21/52	H 0 1 L 21/52	E 4 M 1 0 4
	21/56	21/56	E 5 F 0 4 7
	21/301	21/78	A 5 F 0 6 1
	23/12	23/12	L
	29/41	29/44	B

審査請求 未請求 請求項の数6 O L (全 7 頁) 最終頁に続く

(21)出願番号 特願平11-256256

(22)出願日 平成11年9月9日(1999.9.9)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 荒木 浩二

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 櫻井 正彦

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74)代理人 100083806

弁理士 三好 秀和 (外7名)

最終頁に続く

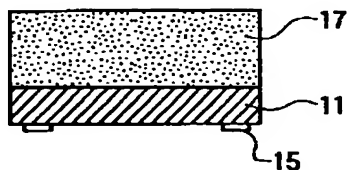
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

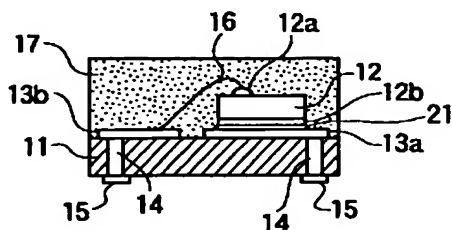
【課題】良好な電気特性を有すると共に、超小型で耐熱性に優れた半導体装置を提供する。

【解決手段】 表裏両面に電極が形成された半導体素子を予め加熱して該半導体素子の裏面電極に所要レベルのオーミックコンタクト性を得ておく。表側には同一の回路パターンを規則的に複数個形成し且つ裏側には表側の前記回路パターンに貫通孔例えばスルーホール又はビアホールを介して接続された外部電極を規則的に複数個形成した絶縁性基板を用意し、該絶縁性基板の表面に形成された前記回路パターンの素子搭載部上に前記半導体素子の裏面電極を低温硬化の導電性接着剤で接着し、前記絶縁性基板における前記回路パターンの内部電極と前記半導体素子の表面電極とを金属細線で接続し、その絶縁性基板の回路パターン形成面全体を樹脂で封止し、その後の構造体を個々の半導体装置に分割する。

(a)



(b)



【特許請求の範囲】

【請求項1】 表面に形成された回路パターンが貫通孔を介して裏面の外部電極に接続された絶縁性基板と、シリコン基板の表裏両面に電極が形成された半導体素子とを有し、前記絶縁性基板の表面に形成された前記回路パターンの素子搭載部に前記半導体素子の裏面電極が電気的に接続された半導体装置であって、

前記半導体素子は、加熱処理により裏面電極のオーミックコンタクト性を配された構成であり、該半導体素子の裏面電極と前記回路パターンの素子搭載部とを低温硬化の導電性接着剤で接合したことを特徴とする半導体装置。

【請求項2】 前記貫通孔は、スルーホールとビアホールとの少なくとも一方からなることを特徴とする請求項1記載の半導体装置。

【請求項3】 シリコン基板の表裏両面に電極が形成された半導体素子を予め加熱して該半導体素子の裏面電極に所要レベルのオーミックコンタクト性を得る第1の工程と、

表側には同一の回路パターンを規則的に複数個形成し且つ裏側には表側の前記回路パターンに貫通孔を介して接続された外部電極を規則的に複数個形成した絶縁性基板を用意し、該絶縁性基板の表面に形成された前記回路パターンの素子搭載部に前記半導体素子の裏面電極を低温硬化の導電性接着剤で接着する第2の工程と、

前記絶縁性基板における前記回路パターンの内部電極と前記半導体素子の表面電極とを金属細線で接続する第3の工程と、

前記絶縁性基板の前記回路パターンの形成面全体を樹脂で封止する第4の工程と、

前記第4の工程後の構造体を個々の半導体装置に分割する第5の工程とを順次施すことを特徴とする半導体装置の製造方法。

【請求項4】 前記貫通孔は、スルーホールとビアホールとの少なくとも一方からなることを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】 前記半導体素子の裏面電極は、少なくとも金、ゲルマニウム及びアンチモンを含み、前記半導体素子の加熱は、温度を360℃から450℃までの範囲内にし、5分間から10分間までの時間で行うことを特徴とする請求項3記載の半導体装置の製造方法。

【請求項6】 前記導電性接着剤は、銀ペーストであることを特徴とする請求項3または請求項5記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、裏面電極を有する半導体素子を搭載した半導体装置、及びその半導体装置の製造方法に関する。

【0002】

【従来の技術】従来、裏面電極を有するダイオードやトランジスタ等の半導体素子を搭載した個別半導体装置としては、例えば図6に示すようなものがあった。

【0003】図6(a)、(b)は、従来の小信号トランジスタの構造を示す図であり、同図(a)はその平面図、同図(b)は断面図である。

【0004】同図に示すように、この半導体装置は、表面電極102と裏面電極103を有する半導体素子101が、リードフレーム104の素子搭載部104aに裏面電極103を介して固定されている。さらに、半導体素子101の表面電極102とリードフレーム104のインナーリード104bとの間がAuやCu等の金属細線105で接続されて、これら全体がエポキシ等の高分子樹脂106で封止され、リードフレーム104のアウトターリード104cが所定の形状に整形・切断された構造を成している。

【0005】半導体素子101の裏面電極103は、バナジウムまたはチタニウムと、ニッケルまたはニッケル合金と、金・ゲルマニウム・アンチモン合金とから成る。この半導体素子101を、リードフレーム104の素子搭載部104aに配置して還元性雰囲気下の高温(390℃程度)で共晶結合を行い、さらに、半導体素子101の表面電極102とリードフレーム104のインナーリード104bとの間をAuやCu等の金属細線105で接続する。

【0006】しかる後に、これら全体をエポキシ等の高分子樹脂106で封止し、リードフレーム104のアウトターリード104cに半田メッキや半田ディップ等の外装処理を施し、所定の形状に整形・切断して、上記構造の半導体装置を得ている。

【0007】

【発明が解決しようとする課題】しかしながら、上記従来の半導体装置では、半導体装置の信頼性(主に耐湿性)を維持するために、リードフレーム104のインナーリード104bに屈曲部104dを設ける必要があること、リードフレーム104の加工限界からインナーリード104bと素子搭載部104aとの間隔をほぼリードフレーム104の板厚と同等以下にはできないこと、さらにアウトターリード104cを有すること等の理由により、パッケージの超小型化を実現することができなかった。

【0008】そこで、半導体装置の小型化を図る観点から、図7に示すような構造が特開平9-275178号公報に開示されている。

【0009】図7に示す半導体装置は、金属導体層202の素子搭載部202aに接着剤層203によって固着された半導体チップ201と、該半導体チップ201に金属細線204によって接続した金属導体層202とを樹脂205で封止し、その一面に金属導体層202の一部が露出するように絶縁レジスト層206を形成する。

そして、露出した金属導体層202に突起状の外部接続端子207を設けるようにしたものである。

【0010】確かに本公報の構造であれば、リードフレームを使用しないため、パッケージから突出した外部リード端子を持たない構造となり、しかもデザインルールの微細化が可能であり、装置の超小型化を図ることができる。しかし、本公報に開示された構造は、半導体チップとして、LSI等の集積回路チップを前提としており、裏面電極を有する半導体素子を搭載した個別半導体装置に単純に適用することはできない。例えば、上記公報の装置では、金属導体層202の素子搭載部202aに半導体チップ201を接合するための接着剤層203として銀ペーストを用いているが、この銀ペーストを単純に、個別半導体装置の半導体素子接着用に使用した場合には十分なオーミックコンタクト性が得られない等の問題が発生する。

【0011】また、リードフレームを使用せずに、スルーホール型の内部配線層を有するセラミックス基板をパッケージ本体として、その上面に半導体素子を搭載することで、装置の小型化を図る構造も開示されている（例えば、特開平10-242322号公報）。この構造も、上記同様の理由で、裏面電極を有する半導体素子を搭載した個別半導体装置に単純に適用することはできない。

【0012】本発明は、上述の如き従来の問題点を解決するためになされたもので、その目的は、裏面電極を有する半導体素子をマウントする際に良好な電気特性を確保すると共に、超小型で耐熱性に優れた半導体装置を提供することである。

【0013】

【課題を解決するための手段】上記目的を達成するために、請求項1記載の発明に係る半導体装置では、表面に形成された回路パターンがスルーホールを介して裏面の外部電極に接続された絶縁性基板と、シリコン基板の表裏両面に電極が形成された半導体素子とを有し、前記絶縁性基板の表面に形成された前記回路パターンの素子搭載部上に前記半導体素子の裏面電極が電気的に接続された半導体装置であって、前記半導体素子は、加熱処理により裏面電極のオーミックコンタクト性が予め実現され、た構造であり、該半導体素子の裏面電極と前記回路パターンの素子搭載部とを低温硬化の導電性接着剤で接合したことを特徴とする。

【0014】請求項2記載の発明に係る半導体装置では、請求項1に記載の半導体装置において、前記貫通孔は、スルーホールとビアホールとの少なくとも一方からなることを特徴とする。

【0015】請求項3記載の発明に係る半導体装置の製造方法では、シリコン基板の表裏両面に電極が形成された半導体素子を予め加熱して該半導体素子の裏面電極に所要レベルのオーミックコンタクト性を得る第1の工程と、表側には同一の回路パターンを規則的に複数個形成

し且つ裏側には表側の前記回路パターンにスルーホールを介して接続された外部電極を規則的に複数個形成した絶縁性基板を用意し、該絶縁性基板の表面に形成された前記回路パターンの素子搭載部上に前記半導体素子の裏面電極を低温硬化の導電性接着剤で接着する第2の工程と、前記絶縁性基板における前記回路パターンの内部電極と前記半導体素子の表面電極とを金属細線で接続する第3の工程と、前記絶縁性基板の前記回路パターンの形成面全体を樹脂で封止する第4の工程と、前記第4の工程後の構造体を個々の半導体装置に分割する第5の工程とを順次施すことを特徴とする。

【0016】請求項4記載の発明に係る半導体装置の製造方法では、請求項3記載の半導体装置の製造方法において、前記貫通孔は、スルーホールとビアホールとの少なくとも一方からなることを特徴とする。

【0017】請求項5記載の発明に係る半導体装置の製造方法では、請求項3記載の半導体装置の製造方法において、前記半導体素子の裏面電極は、少なくとも金、ゲルマニウム及びアンチモンを含み、前記半導体素子の加熱は、温度を360℃から450℃までの範囲内にし、5分間から10分間までの時間で行うことを特徴とする。

【0018】請求項6記載の発明に係る半導体装置の製造方法では、請求項3または請求項5記載の半導体装置の製造方法において、前記導電性接着剤は、銀ペーストであることを特徴とする。

【0019】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。

【0020】図1(a)、(b)は、本発明の実施の一形態に係る半導体装置の構造図であり、同図(a)はその側面図、同図(b)断面図である。

【0021】この半導体装置は、例えば1個の小信号トランジスタを搭載したパッケージで構成されるものであり、トランジスタ搭載用のセラミックス製回路基板11を備えている。

【0022】セラミックス製回路基板11の表面には、搭載する半導体素子（トランジスタ）12に対応した回路パターン（素子搭載部13a及び内部電極13b）が形成され、その回路形成面と反対の基板裏面には、スルーホール14を介して外部電極15が設けられている。

【0023】セラミックス製回路基板11に搭載される半導体素子12は、図2に示すように、シリコン(Si)基板12cの表裏両面に電極が形成されている。その表面電極12aは例えばアルミ(Al)電極であり、裏面電極12bは、例えば、バナジウム(V)の第1金属層12b-1と、この第1金属層12b-1に積層被着されたニッケル(Ni)の第2金属層12b-2と、第2金属層12b-2に積層被着された金(Au)の第3金属層12b-3と、第3金属層12b-3に積層被

着された金 (Au)・ゲルマニウム (Ge) の第4金属層12b-4と、第4金属層12b-4に積層被着された金 (Au)・ゲルマニウム (Ge)・アンチモン (Sb) 合金の第5金属層12b-5と、第5金属層12b-5に積層被着された金の第6金属層12b-6とで構成されている。

【0024】かかる構造の半導体素子12は、後述する加熱処理により裏面電極12bの良好なオーミックコンタクト性が予め実現されたものとなっており、この半導体素子12の裏面電極12bが、前記セラミックス製回路基板11の表面に形成された回路パターン13aの素子搭載部13a上に、銀ペースト21で接着固定されている。さらに、前記回路パターン13aの内部電極13bが半導体素子12の表面電極12aと金属細線16を介して接合されている。そして、これらの接合部全体を被包する形で、セラミックス製回路基板11上がエポキシ等の高分子樹脂17で封止されている。

【0025】次に、上記構造の半導体装置の製造方法を、図3(a)、(b)、(c)と図4(d)、(e)の工程図を参照しつつ説明する。

【0026】まず、前処理として、半導体素子12を予め加熱して該半導体素子12の裏面電極12bの良好なオーミックコンタクト性を実現する。具体的には、還元性または不活性雰囲気下の360〜450℃で5〜10分間加熱する。その結果、裏面電極12bのアンチモン (Sb) 成分がシリコン基板12c側に十分拡散して必要量のキャリアを得ることができ、半導体素子12の裏面電極12bの良好なオーミックコンタクト性を実現する。

【0027】この前処理を終えると、同一の回路パターンを多数配列したセラミックス製回路基板11を用意する(図3(a))。セラミックス製回路基板11は、図5(a)、(b)の平面図に示す如くマトリクス状に区分された多数のパッケージ領域を有し、その表面には、図5(a)に示すように、搭載する半導体素子12(本実施形態ではトランジスタ)の電極に対応した回路パターンが形成されている。即ち、図5(a)中の13aは、例えばコレクタ電極を裏面電極12bに有するトランジスタを搭載する素子搭載部であり、13bは内部電極(ベース電極/エミッタ電極)用のパターンである。一方、セラミックス製回路基板11の裏面には、図5(b)に示すように、前記表面上の回路パターンにスルーホール14を介して接続された外部電極15が形成されている。

【0028】次の工程(図3(b))では、加熱処理した各半導体素子12をセラミックス製回路基板11のそれぞれの素子搭載部13aにマウントする。具体的には、銀ペースト21を介して各素子搭載部13a上にそれぞれ半導体素子12を配置するようにし、所定の接着硬化温度(200℃)で1時間に亘って加熱して銀ペースト21を硬化させ、各素子搭載部13a上にそれぞれ半導体素子12を固定する。

【0029】しかる後に、半導体素子12の表面電極12aとセラミックス製回路基板11の内部電極13bとを金属細線16で接続し(図3(c))、さらにこれらを含んだセラミックス製回路基板11の内部回路形成面全体を、マスク印刷法等によりエポキシ等の高分子樹脂17で封止する(図4(d))。

【0030】さらに、この状態の構造体をブレードダイシング法を用いて個々の半導体装置に分割すれば(図4(e))、図1に示した構造の超小型半導体装置を得ることができる。

【0031】本実施形態では、少なくとも金、ゲルマニウム及びアンチモンを含んだ裏面電極12bを有する半導体素子12を、セラミックス製回路基板11にマウントする前に予め加熱して十分なオーミックコンタクト性を実現しているが、その理由について詳細に説明する。

【0032】セラミックス製回路基板11に半導体素子12をマウントする場合は、低温処理で行うのが望ましい。例えば共晶結合でマウントする場合には、400℃程度の高温で加熱処理することになる。即ち、還元性または不活性雰囲気下の400℃で、セラミックス製回路基板の各素子搭載部に半導体素子を順次1つずつ配置し、各半導体素子の裏面電極とセラミックス回路基板の素子搭載部との共晶結合を行うことになる。

【0033】このとき、多数の半導体素子をセラミックス製回路基板に配置するのに要する時間は、配置する半導体素子の個数により増大するが、最初に配置した半導体素子と最後に配置した半導体素子では、400℃の高温にさらされている時間に大きな差が生じてくる。初めの方で配置した半導体素子は、長時間に亘って400℃の温度にさらされることになり、その結果、半導体素子の裏面電極が過大な拡散を起こし、当該半導体素子の電気特性が劣化するという不具合がある。

【0034】これを回避するために、本実施形態では、共晶結合ではなく、200℃という低温で半導体素子をマウントすることができる銀ペースト21を使用する。この場合、200℃という低温では、半導体素子12の裏面電極12bのアンチモン成分が拡散せず、十分なオーミックコンタクト性を実現することができないので、400℃程度の高温加熱処理が必要であるが、銀ペースト21の主成分はエポキシ樹脂であり、高温で加熱すると樹脂が分解してしまうため、銀ペースト21を塗布した状態で高温加熱処理することができない。

【0035】そこで、本実施形態では、裏面電極12bの十分なオーミックコンタクト性を得るための高温加熱処理は、半導体素子12をセラミックス製回路基板11に配置する前に予め実行しておき、その後に、銀ペースト21を介して各素子搭載部13a上に高温加熱処理後の半導体素子12をそれぞれ配置し、低温加熱で銀ペースト21を硬化させ、各素子搭載部13a上にそれぞれ半導体素子12を固定する。

7

スト21の硬化を行うのである。

【0036】本実施形態では、次のような利点を有している。

【0037】(1) 従来のリードフレームと比較して、セラミックス回路基板11は、より細かなデザインルールが可能であり、且つスルーホール技術により内部回路直下の基板裏面に外部電極の設置が可能である。このようなセラミックス回路基板11を用いることにより、突出した外部リードを持たない、つまり外部電極が装置外形内に収まった超小型で高耐熱性の半導体装置が実現する。

【0038】(2) 内部回路及びこれの反対面に配置された外部電極とが規則的に複数個形成されたセラミックス製回路基板を用いることにより、従来のリードフレームを使用して単体処理する半導体装置に比較して、半導体装置製造における材料利用効率が飛躍的に向上し、低価格の超小型半導体が実現する。

【0039】(3) 少なくとも金、ゲルマニウム及びアンチモンを含んだ裏面電極を有する半導体素子をセラミックス製回路基板上にマウントする前に予め高温加熱処理するので、低温下でのマウントが可能になり、良好な電気特性を有する半導体装置を実現することができる。

【0040】なお、本発明は図示の実施形態に限定されず種々の変形が可能であり、例えば上記実施形態では、半導体素子としてトランジスタを使用した、例えばダイオードであってもよい。ダイオードである場合は、その電極数に対応して図5(a)、(b)に示したセラミックス製回路基板11の回路パターンが変更される。

【0041】なお、上述の実施例ではスルーホールにて説明したが本発明はビアホールにおいても同等の作用効果を得ることは明らかである。

【0042】

【発明の効果】以上詳細に説明したように、本発明によれば、貫通孔例えばスルーホール又はビアホールを有する絶縁性基板を使用したので、突出した外部リードを持たない超小型の半導体装置を実現することができる。さらに、裏面電極を有する半導体素子を絶縁性基板上にマウントする前に、裏面電極に所要レベルのオーミックコ

8

ンタクト性を確保するための加熱処理を行うので、絶縁基板上では例えば銀ペーストを用いて低温下でのマウントが可能になる。これにより、半導体素子の複数個配置時の高温・長時間放置による半導体素子の電気特性の劣化を回避することができ、良好な電気特性を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態に係る半導体装置の構造図である。

【図2】実施形態に係る半導体素子の断面構造図である。

【図3】実施形態に係る半導体装置の製造方法を示す工程断面図である。

【図4】図3の続きの工程断面図である。

【図5】実施形態に係るセラミックス製回路基板の平面図である。

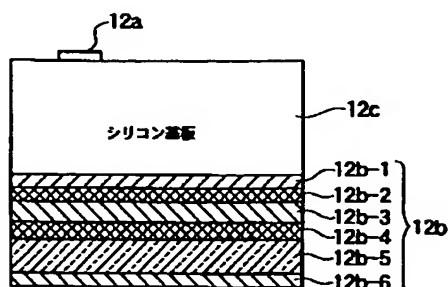
【図6】従来の半導体装置の断面構造図である。

【図7】従来の他の半導体装置の断面構造図である。

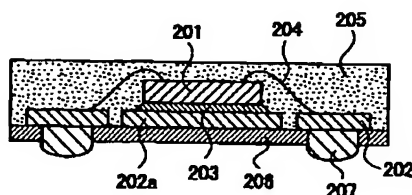
【符号の説明】

- 11 セラミックス製回路基板
- 12 半導体素子
- 12a 表面電極
- 12b 裏面電極
- 12c シリコン基板
- 12b-1 第1金属層
- 12b-2 第2金属層
- 12b-3 第3金属層
- 12b-4 第4金属層
- 12b-5 第5金属層
- 12b-6 第6金属層
- 13a 素子搭載部
- 13b 内部電極
- 14 スルーホール
- 15 外部電極
- 16 金属細線
- 17 高分子樹脂
- 21 銀ペースト

【図2】

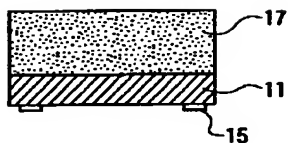


【図7】

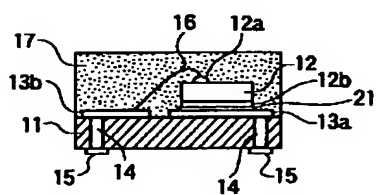


【図1】

(a)

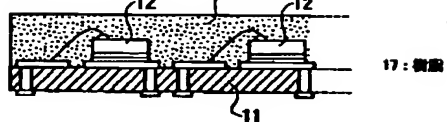


(b)

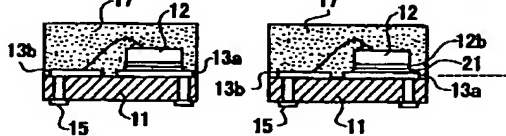


【図4】

(d)

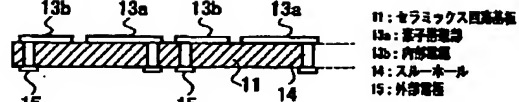


(e)



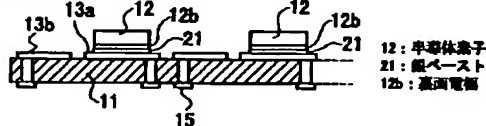
【図3】

(a)



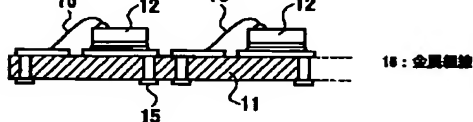
11: セラミックス基板
13a: 電子部品
13b: 内部導通
14: スルーホール
15: 外部導通

(b)



12: 半導体素子
21: 銀ペースト
12b: 基面電極

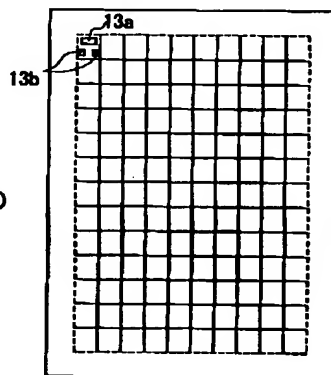
(c)



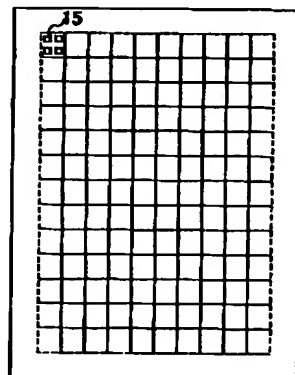
18: 金属細線

【図5】

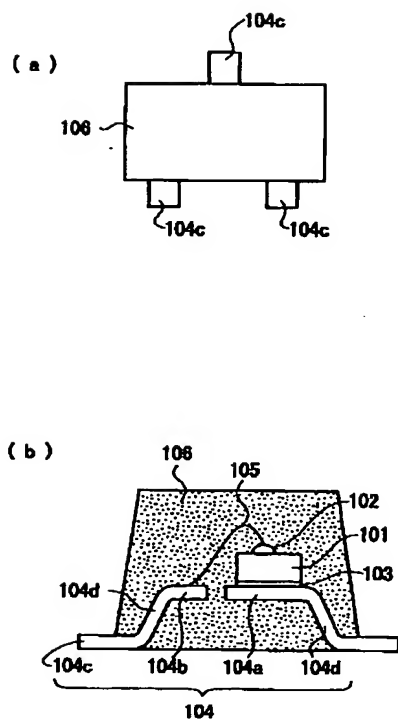
(a)



(b)



【図6】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テームト(参考)
H 0 1 L 29/417		H 0 1 L 29/50	B
(72)発明者 松崎 隆 兵庫県姫路市余部区上余部50番地 株式会 社東芝姫路半導体工場内		(72)発明者 亀測 丈司 兵庫県姫路市余部区上余部50番地 株式会 社東芝姫路半導体工場内	
(72)発明者 高山 晋一 兵庫県姫路市余部区上余部50番地 株式会 社東芝姫路半導体工場内		(72)発明者 山本 学 兵庫県姫路市余部区上余部50番地 株式会 社東芝姫路半導体工場内	
(72)発明者 和田 勇 兵庫県姫路市余部区上余部50番地 株式会 社東芝姫路半導体工場内		F ターム(参考) 4M104 AA01 BB13 CC01 FF02 FF13 GG02 GG06 5F047 AA17 BA12 BB11 BB16 5F061 AA01 BA03 CA12 CB13	